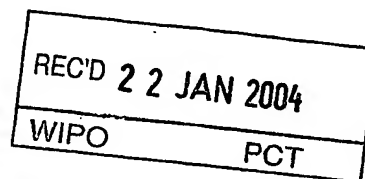


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 52 878.0

Anmeldetag: 12. November 2002

Anmelder/Inhaber: X-FAB Semiconductor Foundries AG, Erfurt/DE

Bezeichnung: In BiCMOS-Technologie monolithisch integrierte verbesserte vertikale pin-Fotodiode

IPC: H 01 L 31/105

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 3. Dezember 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

-Letang

In BiCMOS-Technologie monolithisch integrierte verbesserte vertikale pin-Fotodiode

Diskrete pin-Fotodioden mit bis zu einigen 10µm dicker, niedrig dotierter i-Zone in Siliziumtechnologie sind Stand der Technik. Bei monolithisch auf Silizium-Chips integrierten pin-Fotodioden hingegen hat man das Problem zu lösen, daß die Dotierung des Substrats im Bereich von 10^{15} cm^{-3} und bei CMOS-Wannen und n-Kollektoren/epitaktischen Schichten bei pnp-Transistoren in Bipolar- und BiCMOS-Technologie weit darüber liegt. Deshalb sind in unmodifizierten SBC-Technologie (Standard-Buried-Kollektor-Technologie) basierten Bipolar- und BiCMOS-Prozessen nur pin-Fotodioden mit dünner (ca. 1µm in moderneren Prozessen) i-Zone möglich, was zu einem niedrigen Wirkungsgrad von ca. 26% bei 650/670nm und zu einem noch niedrigeren bei größeren Wellenlängen (von ca. 10% bei 850nm) führt, wie das z.B. bei P.-W. Lim et al., Digest Technical Papers ISSCC 1993, pp. 96-97 und bei Kuchta et al., IBM Journal Res. Develop. 39, pp 63-72, 1995 zu entnehmen ist. Dieses Problem wurde für pin-Dioden, die in bipolaren Schaltkreisen auf Silizium-Substraten integriert sind, mit einem aufwendigen in den Prozeß zusätzlich hineingegenommenen Zweischrittepilaxieverfahren gelöst, um eine 15µm dicke, niedrig dotierte i-Zone zu erzeugen, siehe M.Yamamoto et al., IEEE Trans. Electron Dev. 42 (1), pp. 58-63, 1995. Dazu sind jedoch mindestens drei zusätzliche Maskenschritte notwendig, wodurch sich der Prozeß wesentlich verteuert. Eine andere Lösung sind sogen. laterale Trench-pin-Fotodioden (M. Yang et al., IEEE Elektron. Dev. Lett., pp. 395-397, 2002), die jedoch einen noch höheren zusätzlichen Integrationsaufwand erfordern. In CMOS-Technologie ist die pin-Fotodioden-Integration bereits gelöst worden: H. Zimmermann et al., IEEE Photonics Technology Letters 11, pp.254-256. Hier wurde die i-Zone durch eine auf das n⁺-Substrat aufgebrachte niedrig dotierte n-Epitaxieschicht realisiert. Ein zusätzlicher Maskenschritt war erforderlich.

Ziel der Erfindung ist es, in BiCMOS-Technologie integrierte vertikale Fotodioden hinsichtlich ihrer Geschwindigkeit und ihres Wirkungsgrades zu verbessern, ohne den Herstellungsaufwand wesentlich zu vergrößern.

Zweck der Erfindung ist die Verbesserung der Daten von OEIC's (optoelectronic integrated circuits) basierend auf der BiCMOS-Technologie und damit die Erweiterung ihres Anwendungsbereiches.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß die i -Zone der pin-Diode durch die Kombination einer mit einer Dotierungskonzentration von ca. 10^{13}cm^{-3} niedrig dotierten bis zu ca. $15 \mu\text{m}$ dicken p^- -Epitaxieschicht (bei dünnerer p^- -Epitaxieschicht genügt eine höhere Dotierung), die sich auf dem hochdotierten p^+ -Substrat befindet, mit einer an diese angrenzenden mit ca. 10^{14}cm^{-3} dotierten n^- -Epitaxieschicht, in die die n^+ -Kathode der pin-Fotodiode eingebracht ist, gebildet wird und seitlich in lateraler Richtung die n^- -Epitaxieschicht durch die p -Wannen-Gebiete ($p\text{-wells}$) begrenzt wird und unter den p -Wannen-Gebieten befindliche vergrabene p -Schichten in die p -Epitaxieschicht hineingreifen. Neben den Anodenanschlüssen über die zur lateralen Isolation der pin-Fotodiode verwendeten p -Wannen auf der Oberseite des Chip ist zusätzlich ein Anodenkontakt auf der Unterseite des Chip vorgesehen. Dazu ist nötigenfalls zumindest in diesen rückseitigen Anodenbereichen das Substrat abgedünnt. Möglicherweise kann auf den Rückseitenkontakt verzichtet werden, wenn der Serienwiderstand der Fotodiode bei auf der planaren Vorderseite in an sich bekannter Weise kontaktierten Anode nicht zu groß wird. So können z.B. tiefe Grabenkontakte von oben her zur Reduzierung des Serienwiderstandes angebracht werden.

Zum besseren Verständnis, wie eine solche Fotodioden-Konstruktion mit einem minimalen technologischen Zusatzaufwand in BiCMOS-Technologie realisiert werden kann, sei kurz auf die hierfür wesentlichen Teile des verwendeten BiCMOS-Standardprozesses eingegangen. Das für den BiCMOS-Standardprozeß verwendete Ausgangsmaterial ist eine p-Siliziumscheibe mit einem spezifischen elektrischen Widerstand von $20 \text{ Ohm} \cdot \text{cm}$. Nach der Implementierung der vergrabenen p^+ -Schicht wird auf das Substrat eine etwa $1 \mu\text{m}$ dicke, relativ hoch dotierte (10^{15} cm^{-3}) n-Epitaxieschicht aufgebracht. In diese werden im weiteren Prozeßverlauf n- und p-Wannen (CMOS-Wannen) implantiert. Die n-Wanne dient gleichzeitig zur Erzeugung der Kollektordotierung des npn-Transistors. Die Dotierungskonzentration der n-Wanne ist höher als die der n-Epitaxieschicht.

Erfindungsgemäß wird für den Aufbau der pin-Fotodiode so vorgegangen, daß als Ausgangsmaterial eine p^+ -Siliziumscheibe mit einer ca. $15 \mu\text{m}$ dicken p^+ -Epitaxieschicht und einer Dotierungskonzentration von ca. 10^{13} cm^{-3} eingesetzt wird. Die nach der Implementierung der vergrabenen Schicht standardmäßig folgende n-Epitaxieschicht wird mit einer auf in einen Bereich um 10^{14} cm^{-3} herabgesetzten Dotierungskonzentration abgeschieden. Für diese beiden Prozeßmodifikationen ist keine zusätzliche Maske notwendig, da der BiCMOS-Standardprozeß die Option zum Ausblenden der n- und p-Wannen sowie der vergrabenen p-Schicht aus dem Fotodiodengebiet standardmäßig enthält. Um einen zu hohen Serienwiderstand der pin-Fotodiode zu vermeiden, wird nicht nur die zur lateralen Isolation der pin-Fotodiode verwendete p-Wanne als Anodenanschluß verwendet, sondern zusätzlich ein Rückseitenkontakt auf der Unterseite des nötigenfalls zumindest in diesem Bereich abgedünnten Substrats. Es genügt z.B. das Aufbringen des abgedünnten Chip mit einem leitfähigen Kleber auf den Lead-Frame oder eine leitende Fläche einer Platine.

Den erfindungsgemäßen Aufbau der pin-Diode verdeutlicht die schematische Zeichnung der Fig.1.

Fig.2 stellt den Verlauf des elektrischen Feldes dar, wie er sich beim bisherigen BiCMOS-Standardprozeß für das pin-Diodengebiet ergibt.

Fig.3 zeigt den Verlauf des elektrischen Feldes wie er sich für das pin-Diodengebiet beim erfindungsgemäßen Aufbau einstellt (durchgezogene Linie) und für den Fall, daß die Dotierungskonzentration in der n-Epitaxieschicht nicht auf einen Betrag um 10^{14}cm^{-3} herabgesetzt ist (gestrichelte Linie). Daraus geht hervor, daß die p⁻-Epitaxieschicht allein das Problem nicht löst.

In Tabelle 1 sind die Meßergebnisse von im unmodifizierten und im modifizierten BiCMOS-Prozeß implementierten Fotodioden aufgelistet. Es ist ersichtlich, daß mit den erfindungsgemäßen Modifikationen für eine Wellenlänge von 670 nm eine integrierte Fotodiode mit einem Quantenwirkungsgrad von über 95% erzielbar ist, deren geringe Anstiegs- und Abfallzeiten eine verarbeitbare Bitrate von bis zu 1 Gbit/s erlauben. Die niedrige Sperrschichtkapazität macht vergrößerte Fotodiodenflächen möglich, was ein weiterer Vorteil ist.

Patentansprüche

1.

In BiCMOS-Technologie monolithisch integrierte vertikale pin-Fotodiode, **dadurch gekennzeichnet**, daß die i-Zone der pin-Diode durch die Kombination einer niedrig dotierten bis zu ca. 15µm dicken p-Epitaxieschicht einer Dotierungskonzentration von unter $5 \cdot 10^{14} \text{cm}^{-3}$, die sich auf einem hochdotierten p⁺-Substrat befindet, mit einer an diese angrenzenden niedrig dotierten n-Epitaxieschicht im Dotierungsbereich um 10^{14}cm^{-3} , (Dotierungsbereich von $\leq 10^{14} \text{cm}^{-3}$ bis $< 10^{15} \text{cm}^{-3}$), in die die n⁺-Kathode der pin-Fotodiode eingebracht ist, gebildet wird, wobei seitlich in lateraler Richtung p-Gebiete die n-Epitaxieschicht begrenzen und zusätzlich zu den Anodenanschlüssen über die p-Wannengebiete auf der planaren Oberseite ein weiterer Anodenanschlußbereich der pin-Diode auf der Rückseite vorhanden ist.

2.

In BiCMOS-Technologie monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 1, **dadurch gekennzeichnet**, daß sich unter den seitlich die n-Epitaxieschicht in lateraler Richtung begrenzenden p-Gebiete vergrabene p⁺-Schichten befinden, die in die p-Epitaxieschicht hineingreifen.

3.

In BiCMOS-Technologie monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 1, **dadurch gekennzeichnet**, daß zumindest im Bereich der Rückseitenanode die Siliziumscheibe abgedünnt ist.

4.

In BiCMOS-Technologie monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 1, **dadurch gekennzeichnet**, daß die

Anode der pin-Fotodiode ausschließlich von der Vorderseite her elektrisch kontaktiert ist.

5.

In BiCMOS-Technologie monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 4, **dadurch gekennzeichnet**, daß ein oder mehrere Anodenanschlüsse durch tiefe Grabenkontakte hergestellt sind.

6.

Verfahren zur Herstellung einer in BiCMOS-Technologie monolithisch integrierten vertikalen pin-Fotodiode, **dadurch gekennzeichnet**, daß als Ausgangsmaterial eine p⁺-Siliziumscheibe mit einer ca. 15µm dicken p⁻-Epitaxieschicht und einer Dotierungskonzentration von ca. 10^{13}cm^{-3} eingesetzt wird, daß nach der dann folgenden Implementierung der vergrabenen Schicht die standardmäßig folgende n-Epitaxieschicht mit einer Dotierungskonzentration im Bereich um 10^{14}cm^{-3} abgeschieden wird, danach die n- und p-Wannen und alle weiteren standardmäßig folgenden Prozessschritte der Technologie ausgeführt werden, wobei in die n⁻-Epitaxieschicht die n⁺-Kathode der pin-Fotodiode eingebracht wird und seitlich in lateraler Richtung p-Gebiete die n-Epitaxieschicht begrenzen und zusätzlich zu den Anodenanschlüssen über die p-Wannengebiete auf der planaren Oberseite ein weiterer Anodenanschlußbereich der pin-Diode auf der Rückseite ausgebildet wird, so daß dieser bei dem nach dem Vereinzeln vorliegenden Chip für den Fall eines nicht ausreichend kleinen Serienwiderstandes durch Aufbringen des Chip mit einem leitfähigen Kleber auf den Lead-Frame oder eine leitende Fläche einer Platine kontaktiert werden kann.

7.

Verfahren zur Herstellung einer in BiCMOS-Technologie monolithisch integrierten vertikalen pin-Fotodiode nach Anspruch 6, **dadurch gekennzeichnet**, daß zum Schluß die

Siliziumscheibe bei vordersseitiger Schutzabdeckung rückseitig zumindest im Bereich der pin-Diode abgedünnt wird.

8.

Verfahren zur Herstellung einer in BiCMOS-Technologie monolithisch integrierten vertikalen pin-Fotodiode nach Anspruch 6, **dadurch gekennzeichnet**, daß der Anodenanschlußbereich auf der Rückseite nicht speziell ausgebildet und nicht elektrisch kontaktiert wird.

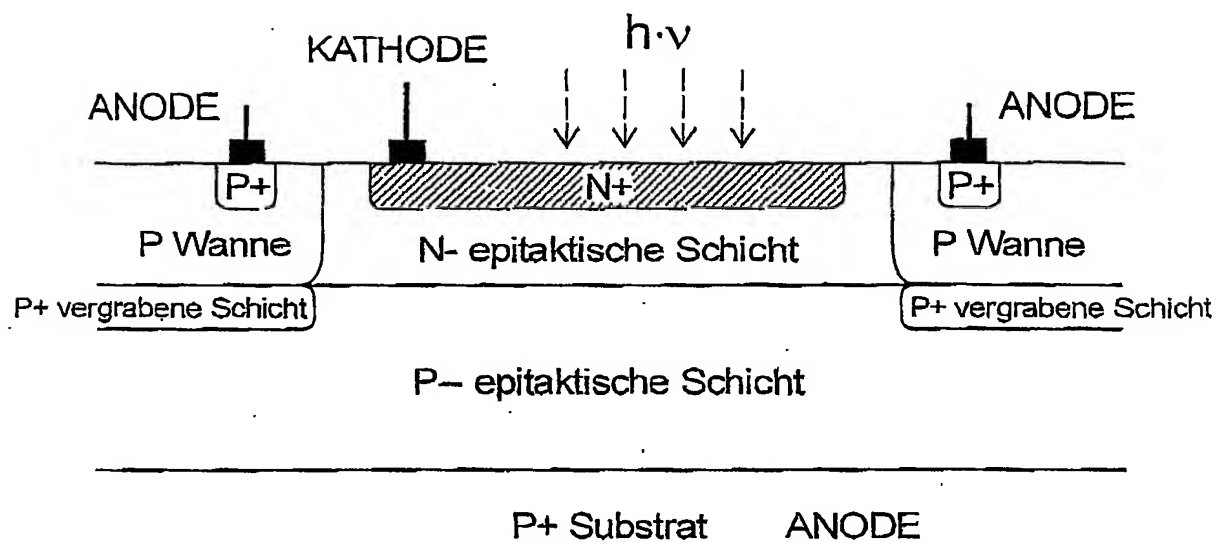


Fig. 1